

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07130996 A**(43) Date of publication of application: **19.05.95**

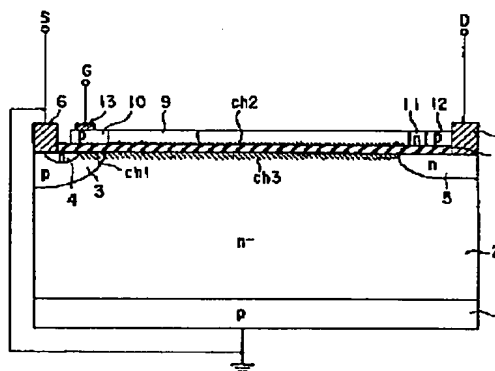
(51) Int. Cl.

H01L 29/78**H01L 21/336**(21) Application number: **05188855**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **30.06.93**(72) Inventor: **OMURA ICHIRO****(54) HIGH-BREAKDOWN-STRENGTH
SEMICONDUCTOR ELEMENT****(57) Abstract:**

PURPOSE: To obtain a high-breakdown-strength semiconductor element whose ON-voltage is low by installing a gate-semiconductor-layer control means which electrically isolates a gate semiconductor layer from a drain electrode in an ON-operation on the basis of the potential difference between a gate electrode coming into contact with the gate semiconductor layer and the drain electrode.

CONSTITUTION: A heavily doped p-type semiconductor layer 10 which does not come into contact with a source electrode 6 is formed on a gate insulating film 8 at the upper part of a P-type well layer 3 in a region which is sandwiched between an n-type source layer 4 and an n-type high-resistance semiconductor layer 2. In addition, a gate electrode 13 is formed. On the end part of the gate insulating film 8 on the drain side, a Zener diode which is composed of an n-type semiconductor layer 11 and a p-type semiconductor layer 12 as a gate semiconductor control means is formed. Then, the p-type semiconductor layer 12 comes into contact with a drain electrode 7. In addition, a low-concentration i-type polysilicon layer 9 is formed on the insulating film 8 between the p-type semiconductor layer 10.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130996

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336

7514-4M

H 0 1 L 29/78

3 0 1 L

審査請求 未請求 請求項の数1 F D (全 10 頁)

(21) 出願番号 特願平5-188855

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

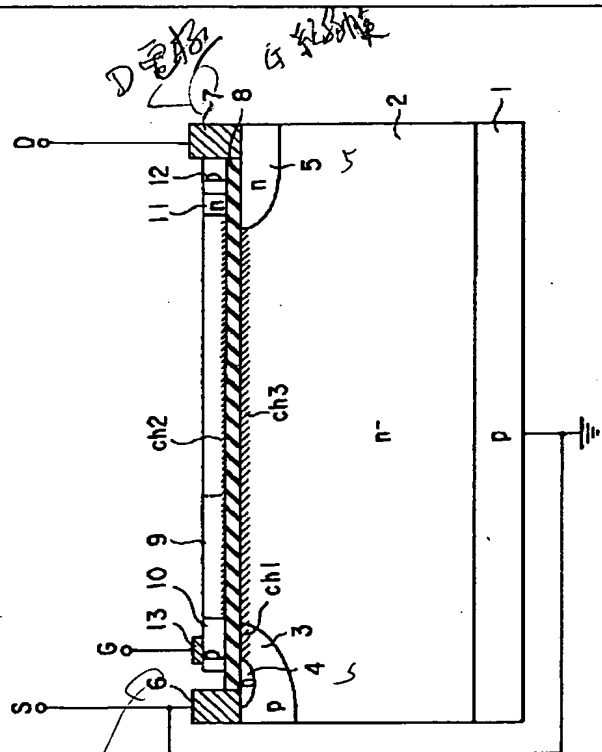
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 高耐圧半導体素子

(57) 【要約】

【目的】-オシ電圧が低く、耐圧が高い横型MOSFETを提供すること。-

【構成】 p型シリコン基板1上に設けられたn型高抵抗半導体層2と、n型高抵抗半導体層2の表面に選択的に形成されたp型ウェル層3と、p型ウェル層3の表面に選択的に形成されたn型ソース層4と、n型高抵抗半導体層2の表面に選択的に形成されたn型ドレイン層5と、n型ドレイン層5に接するドレイン電極7と、p型ウェル層3およびn型ソース層4に接するソース電極6と、n型ソース層4とn型ドレイン層5とで挟まれたp型ウェル層3とn型高抵抗半導体層2との上に、ゲート絶縁膜8を介して設けられ、ソース電極6と接しないi型ポリシリコン層9と、i型ポリシリコン層9に接するゲート電極と、ゲート絶縁膜8上に設けられ、型ポリシリコン層9に接するn型半導体層11とドレイン電極7に接するp型半導体層12とからなるダイオードとを備えている。



【特許請求の範囲】

【請求項 1】第 1 導電型半導体基板上に設けられた第 2 導電型高抵抗半導体層と、

この第 2 導電型高抵抗半導体層の表面に選択的に形成された第 1 導電型半導体層と、

この第 1 導電型半導体層の表面に選択的に形成された第 2 導電型ソース層と、

前記第 2 導電型高抵抗半導体層の表面に選択的に形成された第 2 導電型ドレイン層と、

前記第 1 導電型半導体層及び前記第 2 導電型ソース層に接するソース電極と、

前記第 2 導電型ドレイン層に接するドレイン電極と、

前記第 2 導電型ソース層と前記第 2 導電型ドレイン層とで挟まれた前記第 1 導電型半導体層と前記第 2 導電型高抵抗半導体層との上に、ゲート絶縁膜を介して設けられ、

前記ソース電極と接しないゲート半導体層と、

前記第 2 導電型ソース層と前記第 2 導電型高抵抗半導体層とで挟まれた前記第 1 導電型半導体層上の前記ゲート半導体層に接するゲート電極と、

前記ドレイン電極と前記ゲート電極との電位差に基づいて、オン時に前記ゲート半導体層と前記ドレイン電極とを電氣的に分離するゲート半導体層制御手段とを具備してなることを特徴とする高耐圧半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧半導体素子に係り、特に MOS 構造を有する高耐圧半導体素子に関する。

【0002】

【従来の技術】近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1 チップ上に集積化して形成した集積回路 (IC) が多用されている。このような IC 中で、高耐圧素子を含むものはパワー IC と呼ばれている。

【0003】図 26 は、高耐圧素子の一つである横型 MOSFET の素子断面図である。図中、101 は p 型シリコン基板を示し、この p 型シリコン基板 101 上には n 型高抵抗半導体層 102 が設けられ、その表面にはチャネル形成用の p 型ウェル層 103 が形成されている。p 型ウェル層 103 の表面には n 型ソース層 104 が選択的に形成されている。n 型ソース層 104 から p 型ウェル層 103 にまたがる領域にはソース電極 106 が設けられている。

【0004】n 型高抵抗半導体層 102 の表面には n 型ドレイン層 105 が選択的に形成され、この n 型ドレイン層 105 にはドレイン電極 107 が設けられている。n 型高抵抗半導体層 102 と n 型ソース層 104 とで挟まれた領域の p 型ウェル層 103 上には、シリコン酸化膜からなるゲート絶縁膜 108 を介してゲート電極 10

9 が設けられている。

【0005】横型 MOSFET は、各電極間の容量を小さくできるので、特に高速なスイッチングが可能という利点がある。しかし、従来の横型 MOSFET には次のような問題があった。すなわち、オン状態では、ゲート電極 109 の下部にしかチャネル ch が形成されず、n 型高抵抗半導体層 102 の抵抗によって、オン電圧が高くなるという問題があった。特に高耐圧素子ではオン電圧が著しく高いため、MOSFET は用いられない。

【0006】図 27 は、上記問題を解決するために提案された横型 MOSFET の構造を示す素子断面図である。この横型 MOSFET が図 26 のそれと異なる点は、ゲート電極 109a が n 型ドレイン層 105 上まで延在していることにある。このため、オン状態では、n 型ソース層 104 から n 型ドレイン層 105 までの表面にチャネルが形成され、オン電圧は低くなる。

【0007】しかしながら、オフ状態でゲート・ドレイン間の電圧が高くなると、ゲート電極 109a のドレイン端部 110 に電界が集中し、その部分の耐圧が低下するという問題があった。

【0008】

【発明が解決しようとする課題】上述の如く、従来の横型 MOSFET の場合、ゲート電極が (チャネル方向に) 短いと、オン電圧が高くなるという問題があった。また、オン電圧を下げるためにゲート電極を長くすると、オフ状態で、ゲート電極のドレイン端部に電界が集中し、耐圧が低下するという問題があった。本発明は、上記事情を考慮してなされたもので、その目的とするところは、オン電圧が低く、耐圧が高い高耐圧半導体素子を提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明の高耐圧半導体素子は、第 1 導電型半導体基板上に設けられた第 2 導電型高抵抗半導体層と、この第 2 導電型高抵抗半導体層の表面に選択的に形成された第 1 導電型半導体層と、この第 1 導電型半導体層の表面に選択的に形成された第 2 導電型ソース層と、前記第 2 導電型高抵抗半導体層の表面に選択的に形成された第 2 導電型ドレイン層と、前記第 2 導電型ドレイン層に接するドレイン電極と、前記第 1 導電型半導体層及び前記第 2 導電型ソース層に接するソース電極と、前記第 2 導電型ソース層と前記第 2 導電型ドレイン層とで挟まれた前記第 1 導電型半導体層と前記第 2 導電型高抵抗半導体層との上に、ゲート絶縁膜を介して設けられ、前記ソース電極と接しないゲート半導体層と、前記第 2 導電型ソース層と前記第 2 導電型高抵抗半導体層とで挟まれた前記第 1 導電型半導体層上の前記ゲート半導体層に接するゲート電極と、前記ドレイン電極と前記ゲート電極との電位差に基づいて、オン時に前記ゲート半導体層と前記ドレイン電極とを電氣的に分離するゲート半導体層制御手

段とを備えたことを特徴とする。

【0010】

【作用】本発明によれば、オン時に、ゲート絶縁膜側のゲート半導体層の表面にチャンネルが形成され、ゲート半導体層の抵抗が著しく低下し、ゲート半導体層の電位はゲート印加電圧と同じになる。このため、第1導電型半導体層から第2導電型高抵抗半導体層の表面にわたってチャンネルが形成される。

【0011】すなわち、第2導電型ソース層から第2導電型ドレイン層に向かって、従来よりも長いチャンネルが形成され、実効的に長いゲート電極が形成された場合と同じ状態になる。したがって、オン電圧が低下する。また、ゲート半導体層制御手段によって、オン状態のときのドレイン電極からゲート半導体層への電流の流れ込みは生じない。

【0012】一方、オフ時には、ゲート半導体層の表面のチャンネルが消滅し、上記実効的に長いゲート電極が消滅することになる。また、ゲート半導体層が空乏化することにより、ゲート電極のドレイン端部の耐圧低下は生じない。

【0013】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係る横型MOSFETのオン状態の様子を示す素子断面図である。また、図2は、オフ状態の様子を示す素子断面図である。図中、1はp型シリコン基板を示し、このp型シリコン基板1上にはn型高抵抗半導体層2が設けられ、その表面にはチャンネル形成用のp型ウェル層3が形成されている。

【0014】p型ウェル層3の表面にはn型ソース層4が選択的に形成され、このn型ソース層4からp型ウェル層3にまたがる領域にはソース電極6が設けられている。n型高抵抗半導体層2の表面にはn型ドレイン層5が選択的に形成され、このn型ドレイン層5にはドレイン電極7が設けられている。ソース電極6とドレイン電極7との間の領域上には、シリコン酸化膜からなるゲート絶縁膜8が設けられている。n型ソース層4とn型高抵抗半導体層2とで挟まれた領域のp型ウェル層3の上方に当たるゲート絶縁膜8上には、ソース電極6と接しない高濃度のp型半導体層10が設けられ、このp型半導体層10にはゲート電極13が設けられている。

【0015】ドレイン側のゲート絶縁膜8の端部上にはn型半導体層11とp型半導体層12とからなるツェナーダイオードが設けられている。p型半導体層12はドレイン電極7に接している。p型半導体層10とn型半導体層11との間のゲート絶縁膜8上には、不純物濃度の低いi型ポリシリコン層9が設けられている。なお、ポリシリコンの代わりにシリコンを用いても良い。

【0016】このように構成された横型MOSFETによれば、ゲート電極13にソース電極6に対して正の電

圧を印加すると、p型半導体層10の下部のp型ウェル層3の表面にチャンネルch1が形成されると同時にi型ポリシリコン層9の表面にチャンネルch2が誘起される。この結果、i型ポリシリコン層9の抵抗が著しく低下し、i型ポリシリコン層9の電位はゲート印加電圧と同じになる。このため、n型高抵抗半導体層2の表面にチャンネルch3が形成される。

【0017】したがって、n型ソース層4とn型ドレイン層5とは一つのチャンネルで繋がるようになる。すなわち、図27に示した横型MOSFETのように、実効的に長いゲート電極109aが形成された場合と同じように、長いチャンネルが形成される。したがって、n型ソース層4、n型ドレイン層5がn型高抵抗半導体層2の表面に形成されていても、オン電圧を低くできる。また、このとき、n型半導体層11とp型半導体層12とで形成されるダイオードは逆バイアスされるので、ドレイン電極7からi型ポリシリコン層9に電流が流れる込むという不都合は生じない。

【0018】一方、オフ時には、ゲート電極13には電圧は印加されず、ドレイン電極7には高電圧が印加されるため、図2に示すように、p型ウェル層3の表面にチャンネルch1は形成されない。この結果、チャンネルch2、ch3は誘起されず、i型ポリシリコン層9は空乏化する。すなわち、図27に示した横型MOSFETのような、実効的に長いゲート電極109aは消滅する。したがって、ドレイン電極7の近傍の電界集中が回避され、n型ドレイン電極7の近傍の耐圧低下は生じない。

【0019】したがって、本実施例によれば、オン電圧が低く、耐圧が高い横型MOSFETが得られる。図3は、本発明の第2の実施例に係る横型MOSFETのオン状態の様子を示す素子断面図である。なお、以下の図3～図9において、前出した図と同一符号（添字が異なるものを含む）は同一部分または相当部分を示す。

【0020】本実施例の横型MOSFETは、先の実施例のそれをSOI構造としたものである。シリコン基板1a上には埋め込みシリコン酸化膜10が形成され、シリコン酸化膜10が上には薄いn型高抵抗半導体層2aが形成されている。また、n型高抵抗半導体層2aにはシリコン酸化膜10に達するp型ウェル層3aが形成されている。その他の構造は先の実施例と同じである。

【0021】このように構成された横型MOSFETでも、先の実施例と同様な効果が得られるのは勿論のこと、更に、オン電圧が低く、SOI構造により素子の接合容量が小さくなるので、高速なスイッチングが行なえるようになる。図4は、本発明の第3の実施例に係るMOSFETの構造を示す素子断面図である。

【0022】これは本発明をトレンチ溝を用いたMOSFETに適用した例である。通常、トレンチ溝内にゲート電極を設けた素子の場合、トレンチ溝の下端部分で電界集中が生じ、その部分の耐圧が劣化するという問題が

ある。しかし、本実施例によれば、i型ポリシリコン層9が空乏化し、トレンチ溝の下端部分での電界集中が緩和するので、耐圧が改善される。

【0023】図5は、本発明の第4の実施例に係る横型MOSFETの構造を示す素子断面図である。本実施例の横型MOSFETが第2の実施例のそれと異なる点は、ゲート電極10とドレイン電極7との間の半導体層9、10、11、12の表面がポリシリコン高抵抗膜(SIPOS)15で被覆されていることにある。

【0024】このように構成された横型MOSFETによれば、ポリシリコン高抵抗膜15によって、オフ時にi型ポリシリコン層9内を流れる微小電流によるn型高抵抗半導体層2a内の電界の変動を抑制でき、更に耐圧が向上する。図6は、本発明の第5の実施例に係る横型MOSFETの構造を示す素子断面図である。

【0025】本実施例の横型MOSFETが第2の実施例のそれと異なる点は、低不純物濃度のi型ポリシリコン層9の代わりに、p型ポリシリコン層9a（他の半導体材料でも良い）を用いたことにある。通常、n型高抵抗半導体層2aが薄い（2μm以下）場合には、n型高抵抗半導体層2aの不純物濃度は、耐圧の関係上、ある程度の値（ドーザ量 $1.5 \times 10^{12}/\text{cm}^2$ ）以上でできない。

【0026】しかし、本実施例によれば、オフ時の空乏化によって生じるp型ポリシリコン層9a内の負電荷とn型高抵抗半導体層2a内の正電荷とが互いに打ち消し合うため、n型高抵抗半導体層2aの不純物濃度を高くできる。したがって、オン電圧が更に低くなる。図7は、本発明の第6の実施例に係る横型MOSFETの構造を示す素子断面図である。

【0027】本実施例の横型MOSFETが第2の実施例のそれと異なる点は、低不純物濃度のi型ポリシリコン層9の代わりに、n型ポリシリコン層9b（他の半導体材料でも良い）を用いたことにある。本実施例によれば、オフ時に、ソース側からドレイン側に向かって、n型ポリシリコン層9bおよびn型高抵抗半導体層2a内に空乏層が広がる。このため、n型高抵抗半導体層2aが厚く、縦方向（膜厚方向）の電界が大きくても、ゲート絶縁膜8に高電圧が印加されないので、耐圧を改善できる。なお、n型半導体層11の不純物濃度を高く（ $1 \times 10^{17} \sim 10^{18} \text{cm}^{-3}$ 程度以上）し、ゲート絶縁膜8側のn型半導体層11の表面にチャネルが誘起されるのを防止することが好ましい。

【0028】図8は、本発明の第7の実施例に係る横型MOSFETの構造を示す素子断面図である。本実施例の横型MOSFETが第6の実施例のそれと異なる点は、p型半導体層12がn型ポリシリコン層9bの上部表面に形成されていることにある。図中、14はドレイン電極7に繋がった電極を示している。

【0029】本実施例によれば、ゲート絶縁膜8側のn

型ポリシリコン層9bの表面にチャネルが誘起されても、p型半導体層12は上記チャネルと繋がらないので、チャネルストップ層が不要になる。図9は、本発明の第8の実施例に係る横型MOSFETの構造を示す素子断面図である。

【0030】本実施例の横型MOSFETが第7の実施例のそれと異なる点は、p型半導体層12を無くし、電極14が直接n型ポリシリコン層9bの上部表面に接するようになっていることにある。本実施例によれば、電極14とn型ポリシリコン層9bとによりショットキー接合が形成され、これによりダイオードが形成されるので、p型半導体層12が無くても先の実施例と同様な効果が得られる。

【0031】以上の実施例は、横型IGBTにも適用でき、その横型IGBTの構造は、図1、図3、図5、図6、図7、図8、図9に対応して、それぞれ、図28、図29、図30、図31、図32、図33、図34の如きになり、上記実施例と同様な効果が得られる。なお、各図中の16はIGBTを構成するp型半導体層を示している。

【0032】図10は、本発明の第9の実施例に係る横型MOSFETの平面図である。また、図11、図12は、それぞれ、図10の横型MOSFETのA-A'断面図、B-B'断面図である。なお、以下の図10～図24において、前出した図と同一符号（添字が異なるものを含む）は同一部分または相当部分を示す。これを製造工程に従い説明すると、まず、シリコン基板21にシリコン酸化膜22を埋め込み形成する。次いでシリコン酸化膜22上にn型半導体層31を形成し、このn型半導体層31にシリコン酸化膜22に達するp型ウェル層24を選択的に形成する。このとき、p型ウェル層24とチャネル形成部分42とソース電極27とのコンタクト部41を残しておく。

【0033】次にp型ウェル層24内にシリコン酸化膜22に達するストライプ状のn型ソース層25を形成するとともに、n型半導体層31内にシリコン酸化膜22に達するストライプ状のn型ドレイン層26を形成する。次にn型ソース層25とn型ドレイン層26とで挟まれた領域にシリコン酸化膜22に達するストライプ状のp型半導体層32を形成する。このストライプの方向はn型ソース層25（n型ドレイン層26）のそれと直角である。

【0034】次にp型ウェル層24上にゲート絶縁膜29を形成した後、このゲート絶縁膜29上にゲート電極30を形成する。最後に、n型ソース層25に接するソース電極27、n型ドレイン層26に接するドレイン電極28を形成する。なお、製造工程の順序は上記のものに限定されるものではない。

【0035】以上述べた方法により得られる横型MOSFETによれば、n型半導体層31の濃度を上げて、

オフ時の空乏化によってn型半導体層31内に生じる正電荷は、p型半導体層32内に生じる負電荷によって打ち消されるので、耐圧は改善される。一方、図24に示す従来の横型MOSFETの場合には、図25に示すように、n型半導体層23の単位面積当り不純物濃度が $1 \times 10^{12} \text{ cm}^{-2}$ を越えると、耐圧は急激に低下する。

【0036】したがって、本実施例によれば、耐圧の低下を招くことなく、n型半導体層31の濃度を上げることができるので、オン抵抗を低くできる。図13、図14は、本発明の第10の実施例に係る横型MOSFETの素子断面図で、それぞれ、図11、図12に対応するものである。本実施例の横型MOSFETが先の実施例のそれと異なる点は、厚いn型半導体層31に素子を形成したことにある。このため、p型ウェル層24、n型ソース層25、n型ドレイン層26、n型半導体層31、p型半導体層32をシリコン酸化膜22に達しないように形成できる。

【0037】図15～図20は、n型半導体層31、p型半導体層32の他の配置パターンを示す図で、いずれの配置パターンも、n型半導体層31の不純物濃度がソース側で低く、ドレイン側で高くなるようになっている。このような条件を満たす配置パターンを選んだのは、上記の如きの濃度勾配があると、ソース・ドレイン間の耐圧が高くなるという研究報告に基づく（ISPS D'91, p31, Marchant et al.）。

【0038】しかし、従来の技術では濃度勾配を形成するのに、多数の拡散工程を要し、プロセス上の問題が多かったが、上記配置パターンのようなものであれば、従来の問題を回避できる。図15に示す配置パターンは、p型半導体層32の幅をドレインに向かって徐々に細くすることにより、平均的に直線的な濃度勾配が得られる。

【0039】図16に示す配置パターンは、p型半導体層32がn型ドレイン層26に達しないもので、平均的にソース側とドレイン側とに濃度差を設けている。図17に示す配置パターンは、各p型半導体層32の長さを変えることにより、図15に示した配置パターンと同じ効果を実現するものである。図15～図17の配置パターンの場合、p型半導体層32がp型ウェル層24に接しているため、その接している部分ではチャンネルが形成されず、チャンネル幅が短なり、オン電圧が高くなる。

【0040】図18、図19に示す配置パターンは、このようなオン電圧の問題を解決できるものである。すなわち、図18に示す配置パターンは、p型半導体層32とp型ウェル層24とが接しないもので、p型半導体層32をいわゆるガードリングのようにフローティングとすることにより、オン電圧を小さくしている。

【0041】図19に示す配置パターンは、図18において、一本のストライプをより短い複数のストライプにしたものである。図20に示す配置パターンは、p型半

導体層32のストライプ方向をn型ソース層25（n型ドレイン層26）のそれと同じにし、p型半導体層32をガードリング配置としたものである。図21は、図20のA-A'断面図である。この配置パターンの場合、図20に示すゲート電極30の下部33、ドレイン電極28の下部34の電位集中が、従来に比べて十分緩和され、耐圧が改善される。

【0042】図22、図23は、図20の配置パターンをIGBTに適用した場合の素子断面図を示し、図22はn型半導体層23が厚いIGBT、図23は半導体層23が薄いIGBTの例を示している。なお、図中、35は高濃度n型半導体層を示し、36はp型エミッタ層を示している。

【0043】

【発明の効果】以上詳述したように本発明によれば、オン電圧が低く、耐圧が高い高耐圧半導体素子が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る横型MOSFETのオン状態の様子を示す素子断面図。

【図2】図1の横型MOSFETのオフ状態の様子を示す素子断面図。

【図3】本発明の第2の実施例に係る横型MOSFETのオン状態の様子を示す素子断面図。

【図4】本発明の第3の実施例に係るMOSFETの構造を示す素子断面図。

【図5】本発明の第4の実施例に係る横型MOSFETの構造を示す素子断面図。

【図6】本発明の第5の実施例に係る横型MOSFETの構造を示す素子断面図。

【図7】本発明の第6の実施例に係る横型MOSFETの構造を示す素子断面図。

【図8】本発明の第7の実施例に係る横型MOSFETの構造を示す素子断面図。

【図9】本発明の第8の実施例に係る横型MOSFETの構造を示す素子断面図。

【図10】本発明の第9の実施例に係る横型MOSFETの平面図。

【図11】図10の横型MOSFETのA-A'断面図。

【図12】図10の横型MOSFETのB-B'断面図。

【図13】本発明の第10の実施例に係る横型MOSFETの素子断面図。

【図14】本発明の第10の実施例に係る横型MOSFETの素子断面図。

【図15】n型半導体層、p型半導体層の配置パターンを示す図。

【図16】n型半導体層、p型半導体層の他の配置パターンを示す図。

【図17】n型半導体層、p型半導体層の他の配置パターンを示す図。

【図18】n型半導体層、p型半導体層の他の配置パターンを示す図。

【図19】n型半導体層、p型半導体層の他の配置パターンを示す図。

【図20】n型半導体層、p型半導体層の他の配置パターンを示す図。

【図21】図20のA-A'断面図。

【図22】図20の配置パターンをIGBTに適用した例を示す図。

【図23】図20の配置パターンをIGBTに適用した例を示す図。

【図24】従来の横型MOSFETの素子断面図。

【図25】従来の横型MOSFETの問題点を説明するための特性図。

【図26】従来の他の横型MOSFETの素子断面図。

【図27】従来の他の横型MOSFETの素子断面図。

【図28】図1の横型MOSFETの特徴を適用した横型IGBTの素子断面図。

【図29】図3の横型MOSFETの特徴を適用した横型IGBTの素子断面図。

【図30】図5の横型MOSFETの特徴を適用した横型IGBTの素子断面図。

【図31】図6の横型MOSFETの特徴を適用した横型IGBTの素子断面図。

【図32】図7の横型MOSFETの特徴を適用した横

型IGBTの素子断面図。

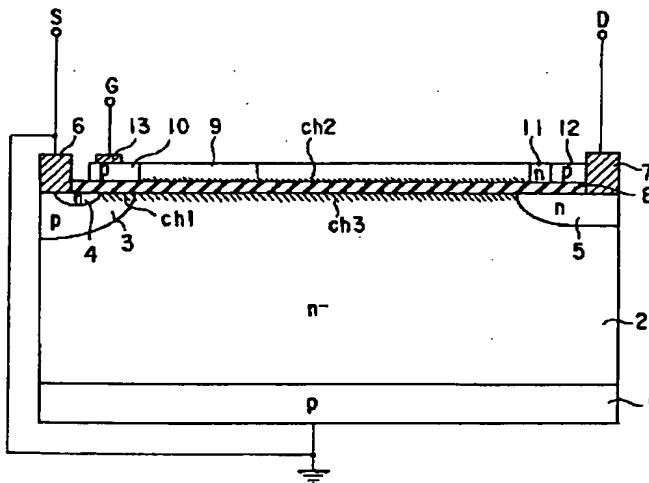
【図33】図8の横型MOSFETの特徴を適用した横型IGBTの素子断面図。

【図34】図9の横型MOSFETの特徴を適用した横型IGBTの素子断面図。

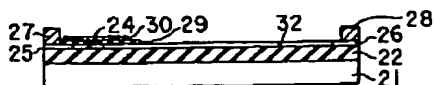
【符号の説明】

1…p型シリコン基板（第1導電型半導体基板）、1a…シリコン基板、2、2a…n型高抵抗半導体層（第2導電型高抵抗半導体層）、3…p型ウェル層（第1導電型半導体層）、4…n型ソース層（第2導電型ソース層）、5…n型ドレイン層（第2導電型ドレイン層）、6…ソース電極、7…ドレイン電極、8…ゲート絶縁膜、9…i型ポリシリコン層（ゲート半導体層）、9a…p型ポリシリコン層（ゲート半導体層）、9b…n型ポリシリコン層（ゲート半導体層）、10…シリコン酸化膜、11…n型半導体層（ゲート半導体層制御手段）、12…p型半導体層（ゲート半導体層制御手段）、13…ゲート電極、14…電極、15…ポリシリコン高抵抗膜、16…p型半導体層、21…シリコン基板、22…シリコン酸化膜、23…n型半導体層、24…p型ウェル層、25…n型ソース層、26…n型ドレイン層、27…ソース電極、28…ドレイン電極、29…ゲート絶縁膜、30…ゲート電極、31…n型半導体層、32…p型半導体層、33…ゲート電極の下部、34…ドレイン電極の下部、35…高濃度n型半導体層、36…、37…、38…、39…、40…、41…コンタクト部、42…チャネル形成部分。

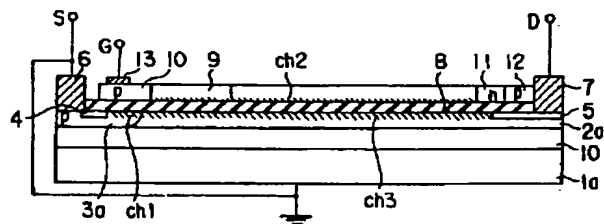
【図1】



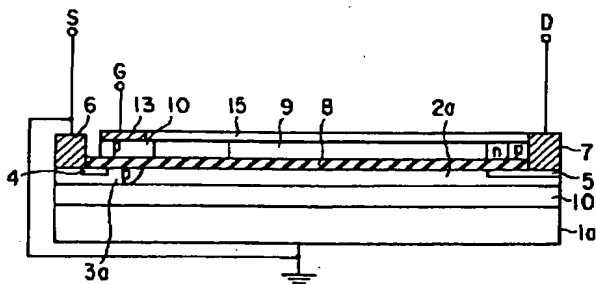
【図11】



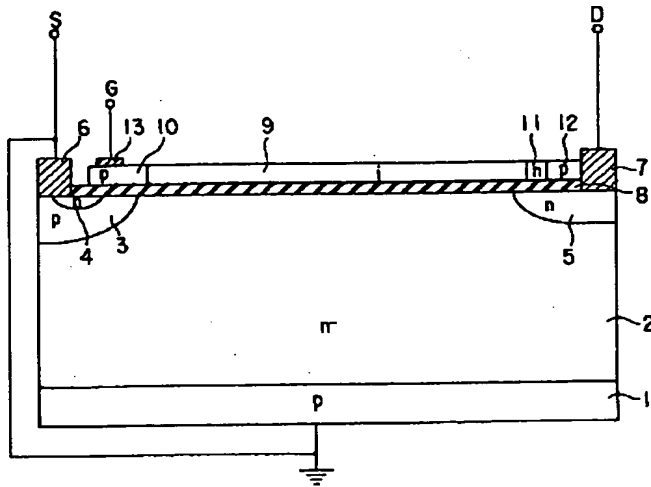
【図3】



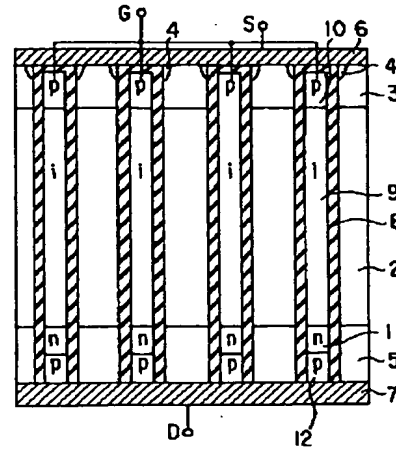
【図5】



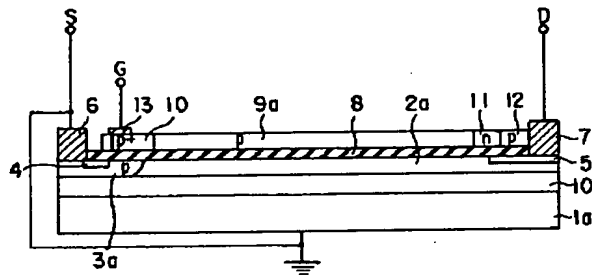
【図 2】



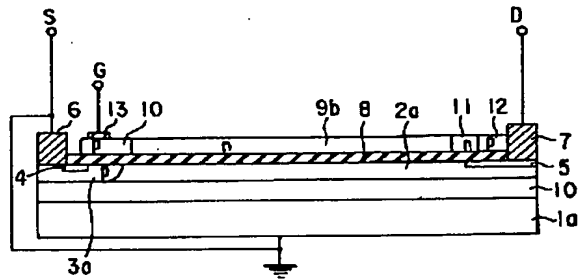
【図 4】



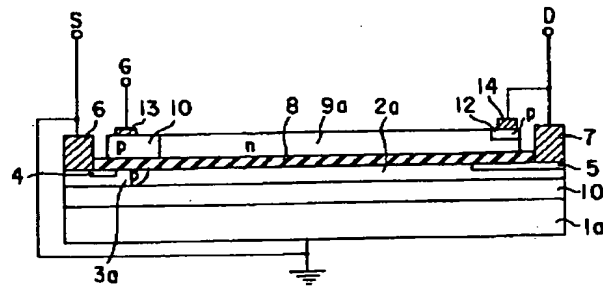
【図 6】



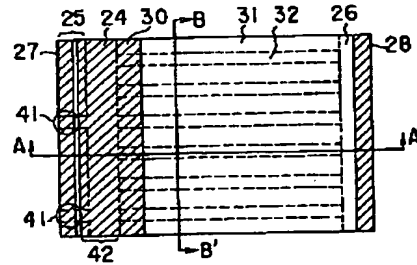
【図 7】



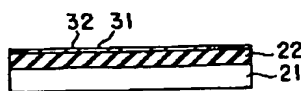
【図 8】



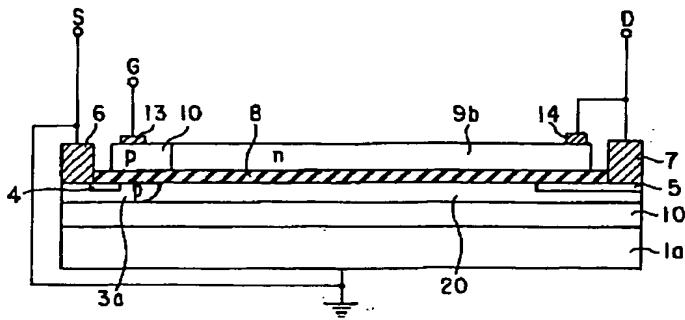
【図 10】



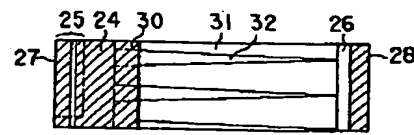
【図 12】



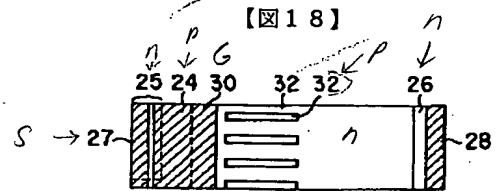
【図9】



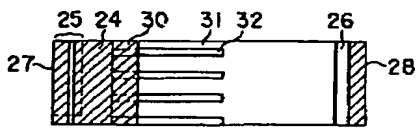
【図15】



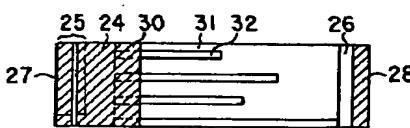
【図18】



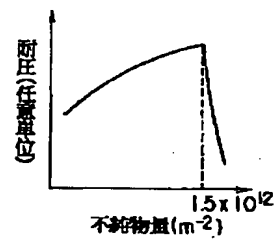
【図16】



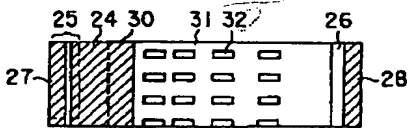
【図17】



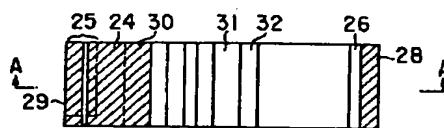
【図25】



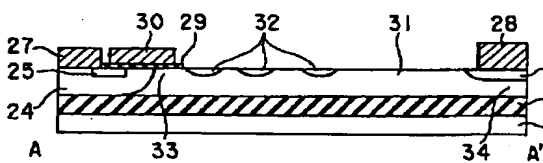
【図19】



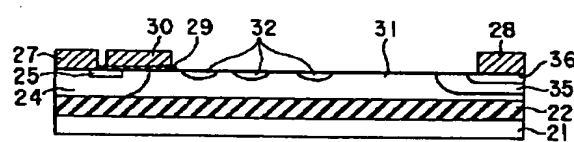
【図20】



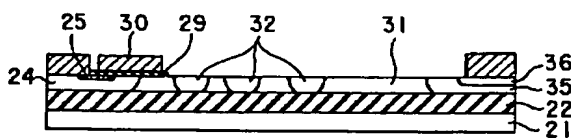
【図21】



【図22】



【図23】



【図24】

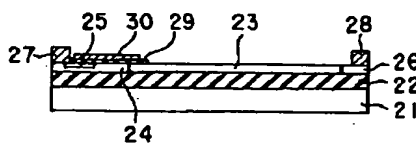
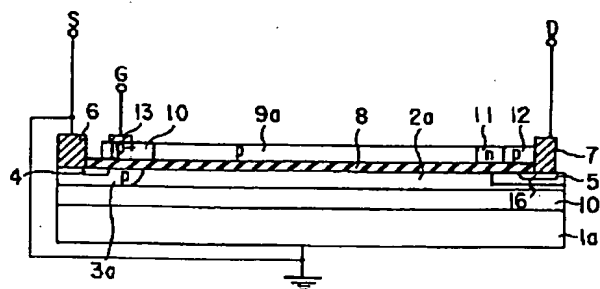
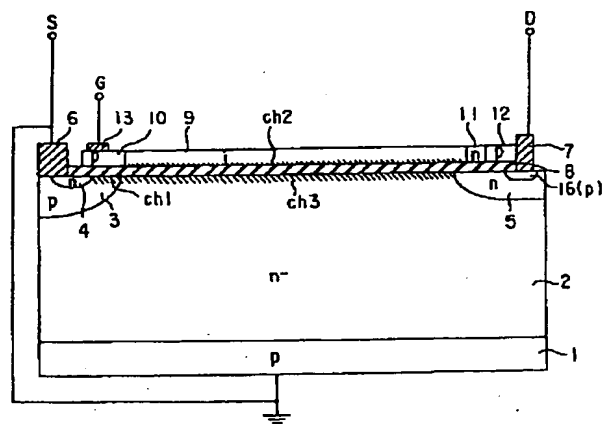
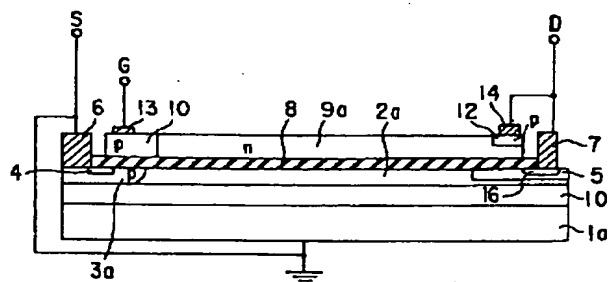
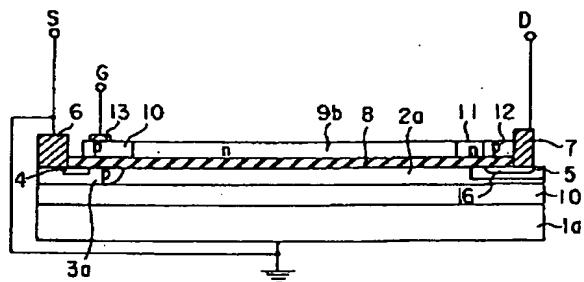


Fig. 1 is a cross-sectional view of a semiconductor device. The device is built on a substrate 101, which has a p-type region 103 and an n-type region 102. A gate stack 104 is formed on the substrate, consisting of a gate oxide 105 and a gate electrode 106. The gate electrode 106 is connected to a source 107 and a drain 108. A source/drain region 109a is formed in the n-type region 102, adjacent to the gate electrode 106. The source/drain region 109a is formed by a p-type region 103 and an n-type region 102. The source/drain region 109a is connected to the source 107 and the drain 108. The source/drain region 109a is formed by a p-type region 103 and an n-type region 102. The source/drain region 109a is connected to the source 107 and the drain 108.

【図 3 1】



【图 3 3】



【図 3 4】

